

# SPECIFICATION

**MODEL: B10007-LAP-SVID-M**

**PART NO :** \_\_\_\_\_

**VERSION :** V1.04

Approver		Check	Design
GM	PM		

Customer Confirm

---

# 目录

1	软件注册 .....	3
2	人机界面 .....	6
3	使用说明 .....	10

# 1 软件注册

软件注册请依照下列步骤进行注册。

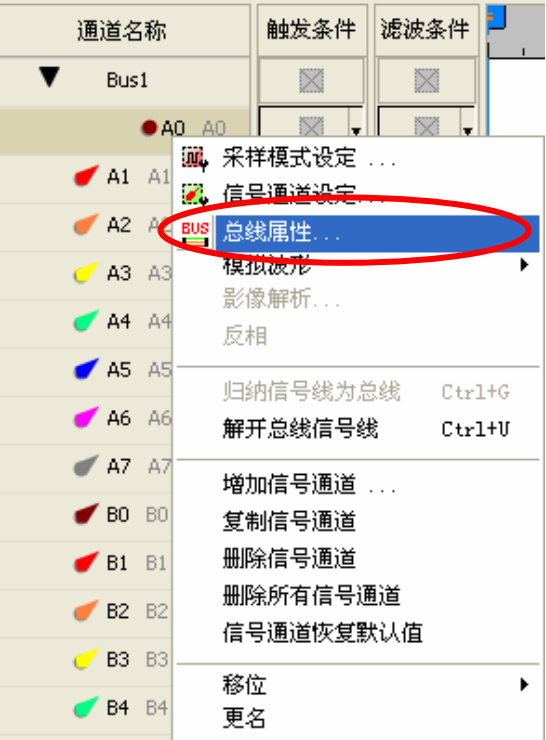
※ 注 1：所有总线注册程序皆相同，注册时依照程序即可，下图注册以 **BUS** 总线协议为范例，藉以参考。

※ 注 2：本说明书若有任何改动恕不另行通知。因模组版本升级而造成的与本说明书不符，以模组软件为准。

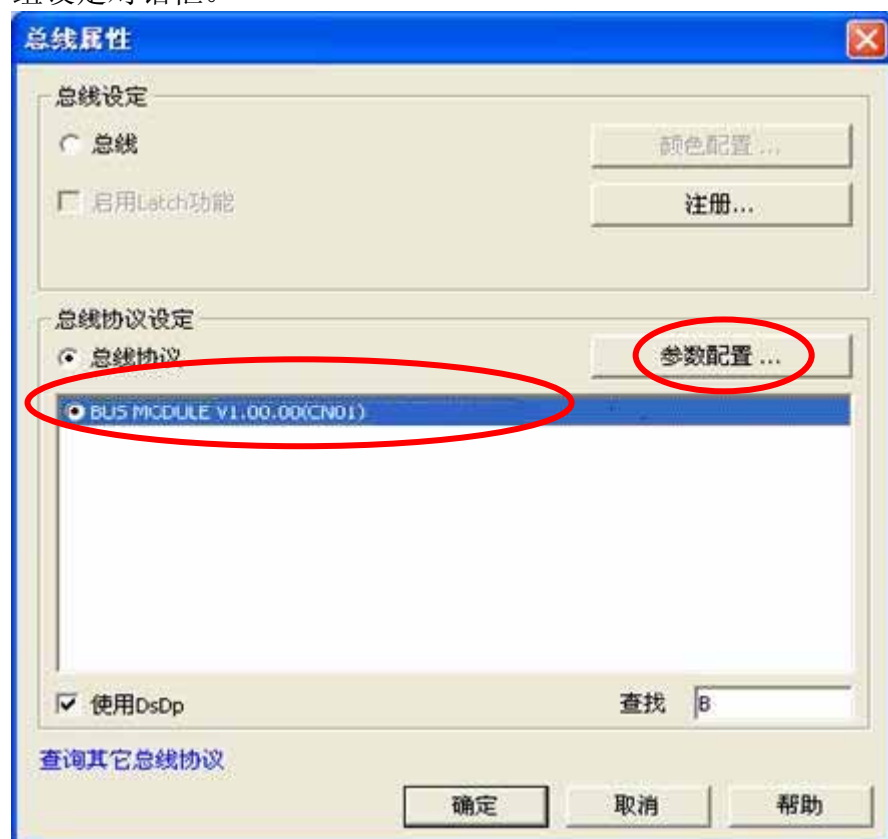
**STEP 1.** 打开逻辑分析仪软体，在通道名称区域右键，点选归纳信号线为总线，把 A0 归纳为 Bus1。



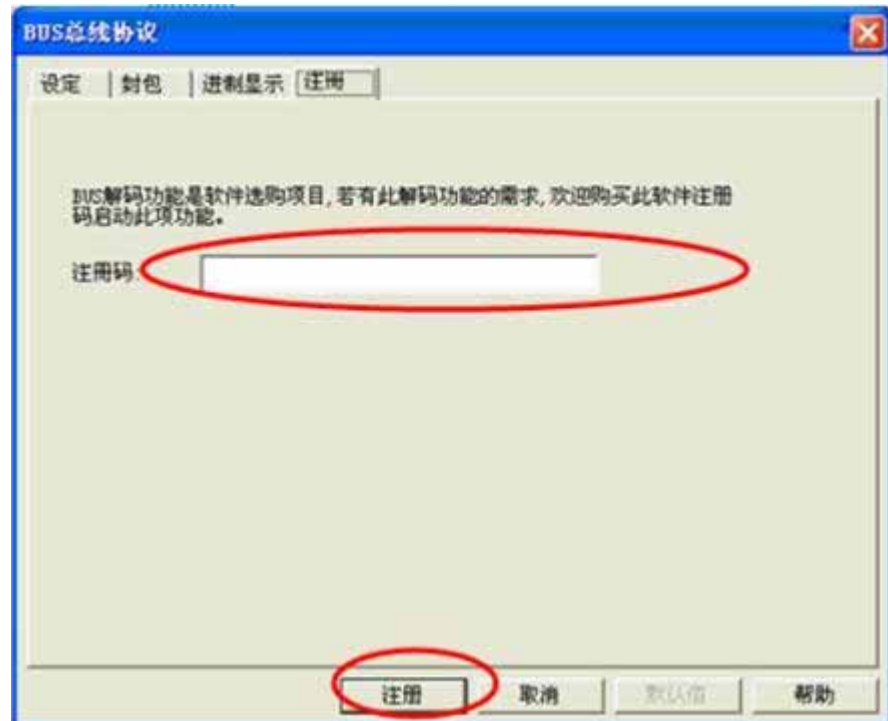
**STEP 2.** 选择 Bus1，再在通道区域右键，点选总线属性，调出总线属性对话框。



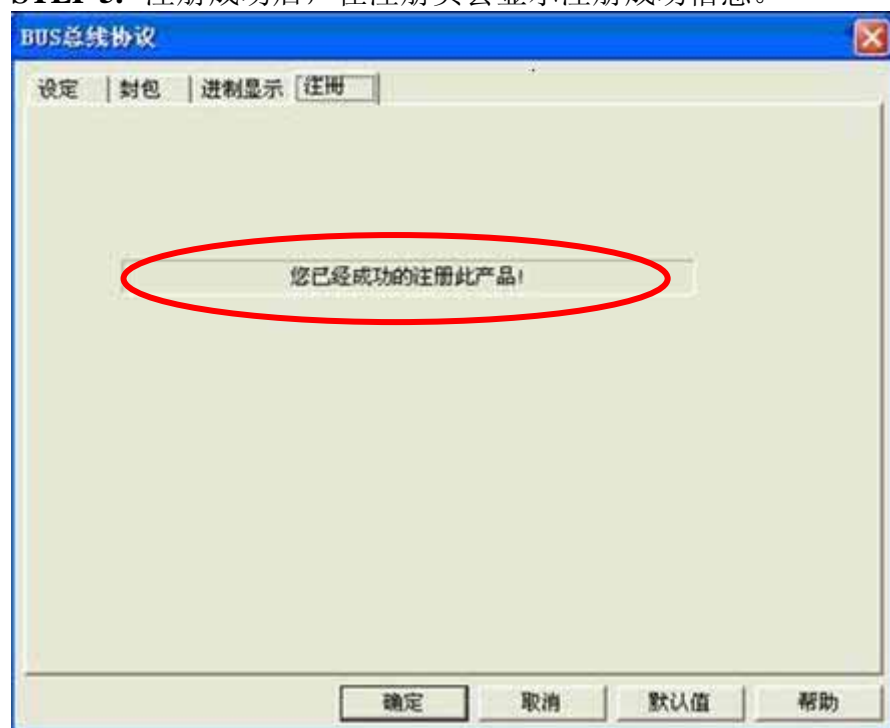
**STEP 3.** 在总线属性对话框，点选 BUS MODULE V1.00.00 (CN01)，再单击参数配置按钮，调出该模组设定对话框。



**STEP 4.** 点选注册页签，输入该机型的 BUS 注册码，按下注册按钮进行注册。



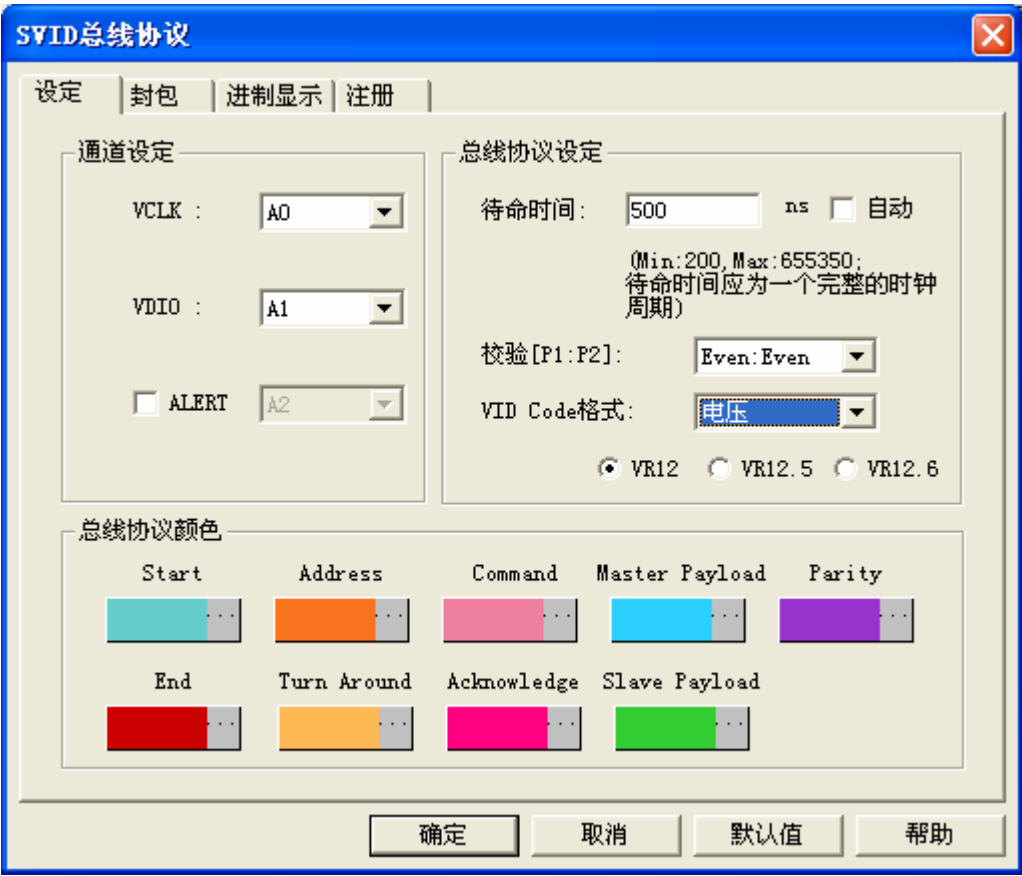
**STEP 5.** 注册成功后，在注册页会显示注册成功信息。



## 2 人机界面

在设定页，相关设定可参考下图界面。

### 设定页



### 通道设定

SVID 为 2 线或 3 线解码。

VCLK: 时钟通道，低压漏极开路管脚，由主机驱动，最大的时钟频率为 26.25MHZ。

VDIO: 资料通道，也是漏极开路管脚，并上拉 55 欧左右的电阻，既可以作输入，又可以作输出。

ALERT: 默认不勾选。设备驱动输出有效线，用于控制解码 Slave Payload,即只有在解码 GetReg=0x07 时，ALERT 为低电平，才可解码 Slave Payload，由设备驱动输出。

### 总线协议设定

待命时间：用于判断解码起始点，可以设定为一个完整时钟周期。

自动：首先除去 VCLK 波形中最前与最后一段不计，然后在 VCLK 前 50 段脉冲中查找，如果不足 50 段，有多少找多少段,计为 N。N<=1，待命时间为默认的 500NS；否则找到这 N 段中最小的 N/2 段，累加时间 T；取这 N/2 时间的平均值 2\*T/N，得到 t。2\*t 即显示为待命时间。

校验[P1:P2]：有两个校验位，可以设定四组校验，分别为：Even:Even（默认），Even:Odd，Odd:Odd，Odd:Even。

VID Code 格式：可以解码格式为数值或电压。在电压选项下，有 VR12, VR12.5 或 VR12.6 可供选择。

总线协议颜色：用于设定封包的颜色，使用者可自行设定。

封包页



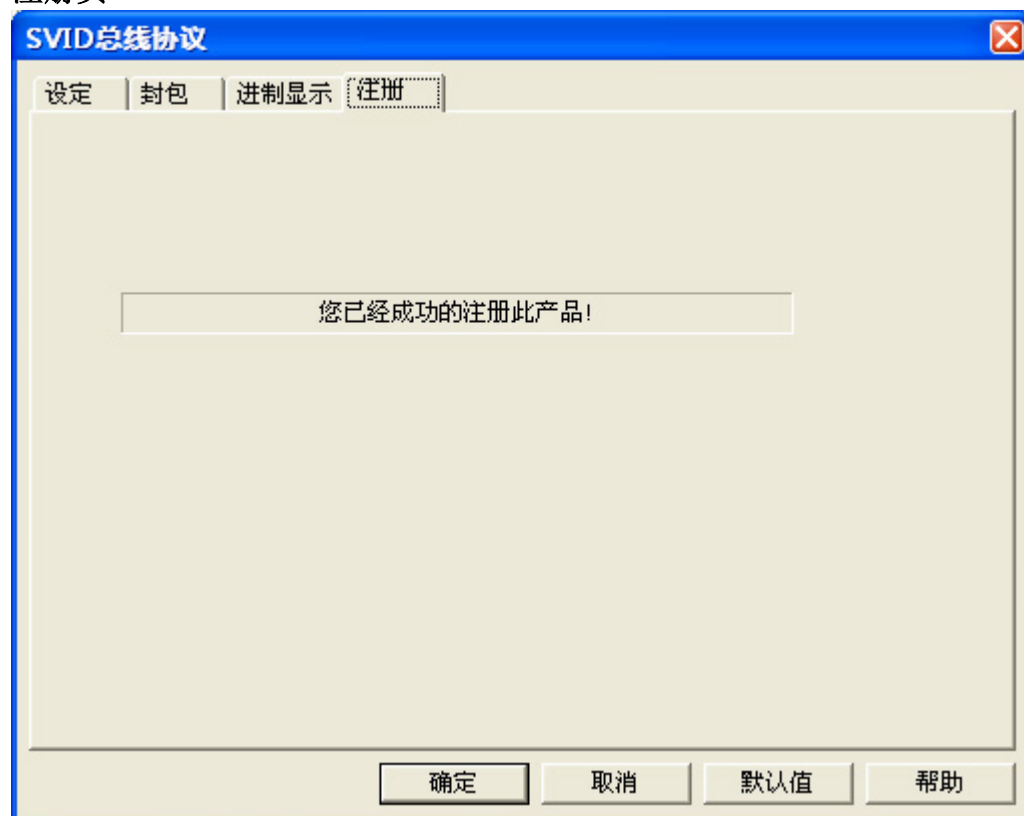
封包部分可依使用者选择相关颜色进行调整并可选择是否在封包列表上出现。

进制显示页



使用者可自行设定解码字段的颜色。Address, Command, Master Paylod, Slave Payload 封包使用者可自定义进制显示，当启动自定义进制显示时，以模组进制显示设定为准，不启用时，以主程式设定数据格式为准。

## 注册页



## 硬件触发界面

组 SVID 总线后，单击触发菜单下的设定总线的触发，即可调出硬件触发功能界面。





**硬件触发设定**

P1 P2 P3 P4 P5 P6 P7 P8 P9 P10

☐ 启动

Address Don't Care == 0	Command Don't Care == 0	Extend Command Don't Care == 0	Master PayLaod Don't Care == 0	Parity Don't Care	End Don't Care
Turn around Don't Care	Acknowledge Don't Care	Slave PayLoad Don't Care == 0	Parity Don't Care	Turn around Don't Care	

预览

Start Don't Care Don't Care Don't Care Don't Care

Don't Care Don't Care Don't Care

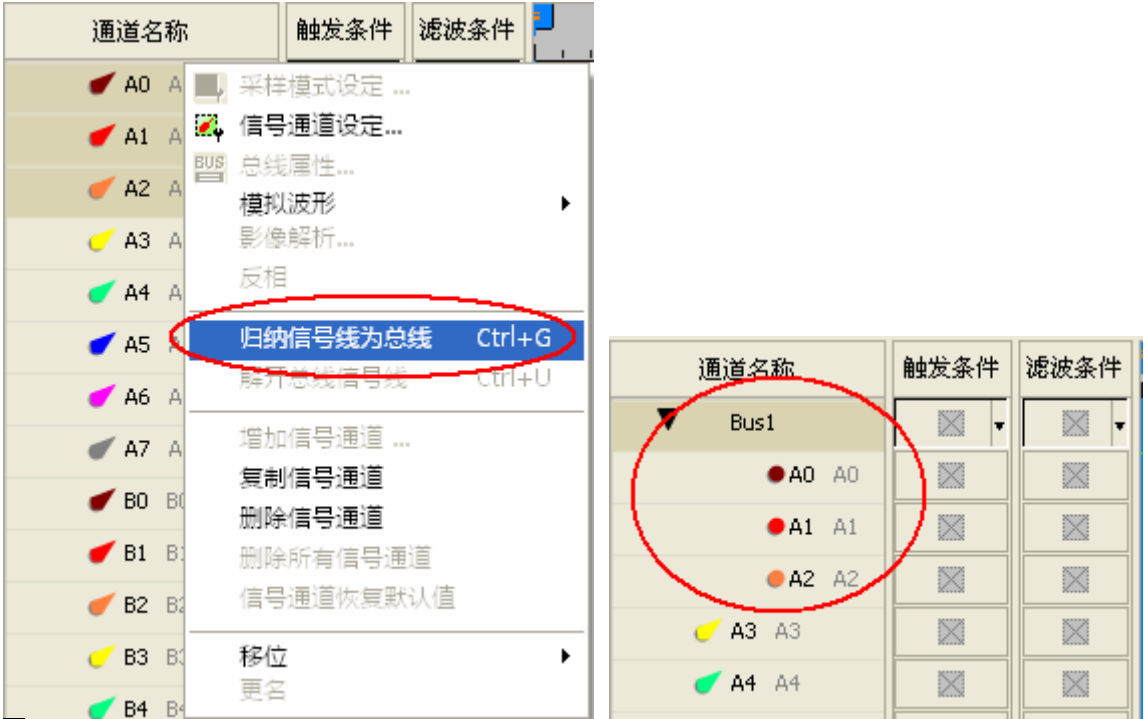
确定 取消 默认值

界面说明：

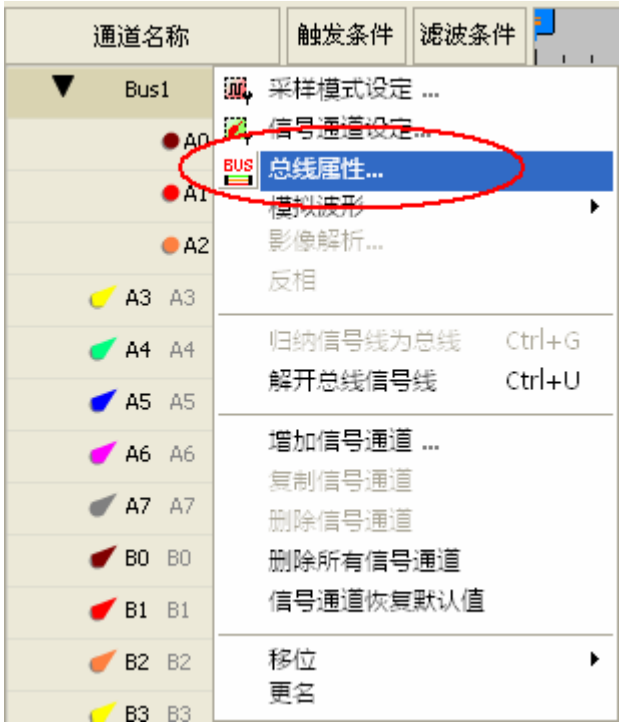
1. Packet: P1~P10 可以设定共 10 个封包触发。
2. 启动: 启用该组封包触发。
3. Address、Command、Extend Command、Master PayLoad、Slave PayLoad: 这个项目都有 Don't Care 和 Value 两个选项; 选择 Don't Care 表示该选项触发数据随机触发, 选择 Value 表示触发的数据以用户自定义输入的数据为标准。
4. Extend Command: 只有当 Command 值等于 0x00 时才被启用, 其余时刻不被启用。
5. Parity1 和 Parity2: 有 Don't Care、0 和 1 三个选项; 选择 Don't Care 表示触发按照随机触发数据规律设定的数据; 选择 0 或 1 表示触发数据为当前设定的数据。
6. End: 有 Don't Care 和 End 两个选项; 选择 Don't Care 表示触发 End 可以任意触发, 选择 End 表示触发要按照 011 的格式触发。
7. Turn Around : 有 Don't Care 和 Turn Around 两个选项; 选择 Don't Care 表示触发 Turn Around 可以任意触发, 选择 Turn Around 表示触发要按照 11 的格式触发。
8. Acknowledge: 有 Don't Care、Ack one、NAK、ACK 和 Reject 五个选项。
9. Slave PayLoad、Parity2、Turn Around2 在两线时, 只有在 Command 值为 0x07 的情况下才能进行触发设置, 在三线时, 只有在当 Command 值为 0x07 时且 Alert 处于低电平的情况下才能进行触发设置。
10. 当初始的数据有两组封包以上, 那么最后一组封包之前的封包设定都要触发, 比如, P1 和 P2 都启用, 那么 P1 中在 Preview 显示出来的封包 (包括 Don't Care 的封包) 均要触发。
11. 触发数据的 bit 位总数不能超过 256 bits。
12. 预览: 以封包图形方式显示目前触发设定。

### 3 使用说明

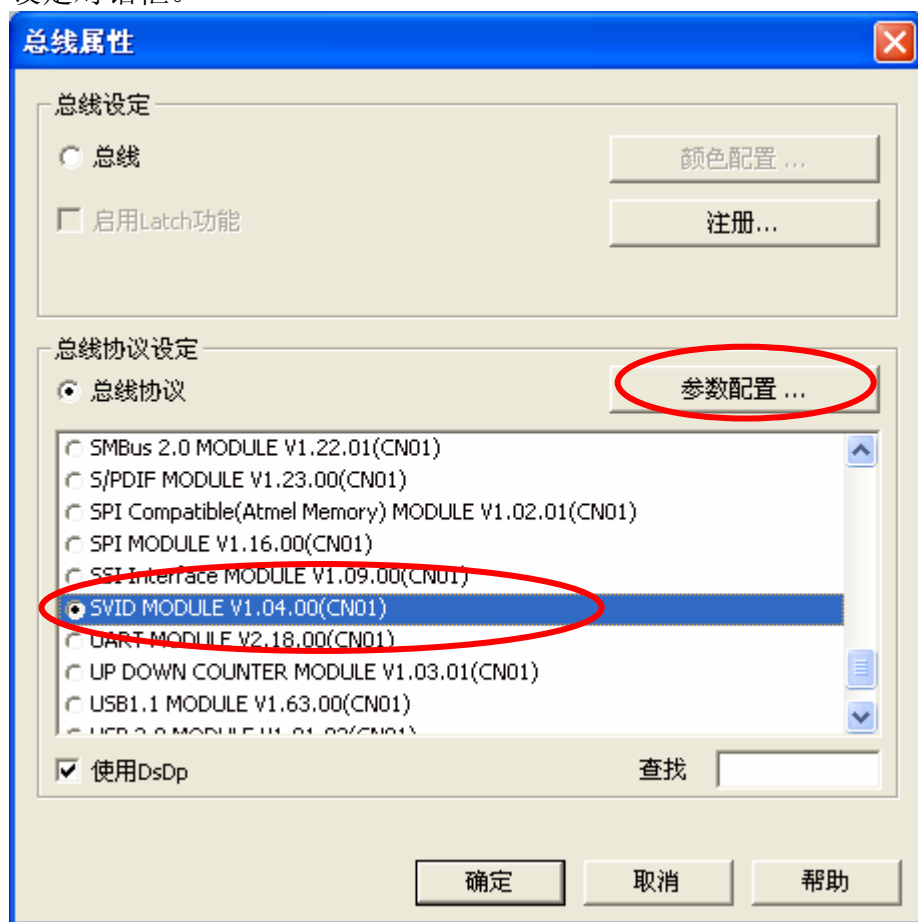
**STEP 1.** 在通道名称区域右键，点选归纳信号线为总线，把 A0~A2 归纳为 Bus1，SVID 总线协议分析至少需 2 根信号线解码。



**STEP 2.** 选择 Bus1，再在通道区域右键，点选总线属性，调出总线属性对话框。



**STEP 3.** 在总线属性对话框，点选 SVID MODULE V1.04.00(CN01)，再单击参数配置按钮，调出该模组设定对话框。



**STEP 4.** 通道设定。



STEP 5. 总线协议设定。

SVID总线协议

设定封包进制显示注册

通道设定

VCLK : A0

VDIO : A1

☐ ALERT A2

总线协议设定

待命时间: 500 ns ☐ 自动

(Min:200,Max:655350;  
待命时间应为一个完整的时钟  
周期)

校验[P1:P2]: Even:Even

VID Code格式: 电压

☒ VR12 ☐ VR12.5 ☐ VR12.6

总线协议颜色

Start	Address	Command	Master Payload	Parity
End	Turn Around	Acknowledge	Slave Payload	

确定取消默认值帮助

STEP 6. 总线协议颜色设定。

SVID总线协议

设定封包进制显示注册

通道设定

VCLK : A0

VDIO : A1

☐ ALERT A2

总线协议设定

待命时间: 500 ns ☐ 自动

(Min:200,Max:655350;  
待命时间应为一个完整的时钟  
周期)

校验[P1:P2]: Even:Even

VID Code格式: 电压

☒ VR12 ☐ VR12.5 ☐ VR12.6

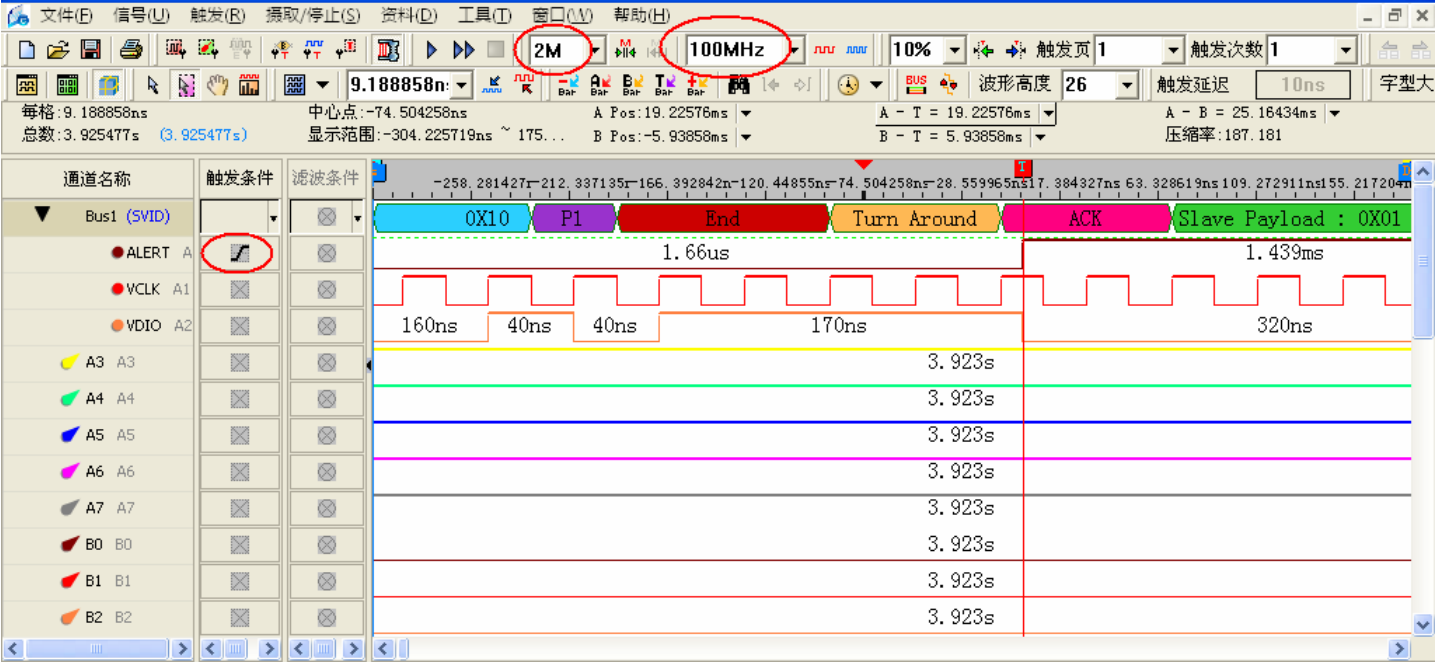
总线协议颜色

Start	Address	Command	Master Payload	Parity
End	Turn Around	Acknowledge	Slave Payload	

确定取消默认值帮助

**STEP 7.** 总线协议分析模组解码完成图示，设定条件为上升沿，记忆深度为 2M，采样频率为 100MHz。  
(采样频率最好是待测讯号的 4 倍以上)

总线协议解码



封包列表

